

ZVYŠOVANIE ÚČINNOSTI PARAMETRICKÝCH TESTOV ZMIEŠANÝCH IO

Juraj Brenkuš

Mikroelektronika, tretí ročník, denné štúdium
Odborný vedúci: Prof. Ing. Viera Stopjaková, PhD.

FEI STU

Ilkovičova 3, 812 19 Bratislava

juraj.brenkus@stuba.sk

Abstrakt. Príspevok sa zaoberá problematikou testovania analógových a zmiešaných integrovaných obvodov. Sú tu uvedené dva experimenty, ktoré sa sústredili na vyšetrenie a porovnanie efektivity rôznych testovacích prístupov. V prvom experimente je aplikovaná oscilačná metóda testovania na jednoduchý analógový obvod. V druhom experimente sú na zmiešanom obvode strednej zložitosti porovnané vybrané testy: funkčný, štrukturálny a parametrický. V závere článku sú uvedené ciele ďalšieho výskumu.

Kľúčové slová. Poruchové simulácie, parametrické testovanie, analógové a zmiešané obvody.

1 Úvod

Testovanie tvorí neodmysliteľnú súčasť výrobného procesu integrovaných obvodov (IO). Nakoľko nie sme schopní postaviť ideálnu výrobnú linku, teda takú ktorá má dokonale čisté prostredie, môžu sa vo vyrobených obvodoch vyskytnúť poruchy spôsobené nečistotami a ďalšími nedokonalosťami vo výrobnom procese.

Historicky najdôležitejšou úlohou testovania je identifikovať poruchové obvody a vyradiť ich. Toto je vykonané v rámci produkčného testu na úrovni kremíkových plátov, ako aj v rámci finálneho testu na už zapuzdrených obvodoch. Zvyčajne sa ako prvé aplikujú rýchle a jednoduché testy, ktoré sú schopné detegovať relatívne veľkú časť možných porúch v krátkom čase, a sú teda veľmi efektívne a tým aj lacné. Následne sa aplikujú zložitejšie, časovo a aplikačne náročnejšie testy, ktoré môžu byť zamerané iba na určitú skupinu možných porúch, prípadne majú za úlohu určiť iba jeden špecifický parameter obvodu, ktorý je z aplikačného hľadiska konkrétneho typu obvodu kritický.

Ďalšou dôležitou úlohou testovania je generovať dáta, ktoré by mohli pomôcť zvýšiť výťažnosť procesu a znížiť tak celkové náklady na výrobu. Tejto ako i ďalším úlohám testovania definovaných v [1] je v poslednom čase venovaná stále väčšia pozornosť, nakoľko majú potenciál priniesť značné ekonomické úspory v zmysle zníženia ako aj optimalizácie celkových výrobných nákladov.

Celková cena testu IO sa skladá z dvoch hlavných zložiek. Prvá zložka je cena vývoja testu, teda výber metódy akou sa daný obvod bude testovať, vygenerovanie testovacích vektorov, tvorba samotného programu riadiaceho proces testovania na testovacom zariadení (tester) a výroba dosky plošných spojov, ktorá tvorí rozhranie medzi IO a samotným testerom. Toto je časovo náročný proces, nakoľko tvorba samotného programu je zväčša manuálna.

Druhá zložka ceny testu je daná cenou samotného testovacieho zariadenia a časovou náročnosťou aplikovania testu, teda celkový čas potrebný na otestovanie obvodu. Čím je tester drahší, tým drahšia

je aj sekunda testu na takomto zariadení. Práve toto je dôvod prečo sa jednoduché a rýchle testy, ktoré pokrývajú relatívne veľkú časť možných porúch, aplikujú ako prvé.

Ktorá z týchto dvoch zložiek dominantne určuje celkovú cenu testu závisí od objemu produkcie a od zložitosti vývoja testu. Ak sa napríklad navrhuje test pre malosériovú výrobu, nie je príliš efektívne stráviť zbytočne veľa času optimalizovaním a vylepšovaním testu, nakoľko cena vývoja testu premietnutá do celkového objemu výroby by bola zbytočne vysoká na jeden obvod v porovnaní s úsporou v samotnom čase testu, ktorú táto optimalizácia priniesla. Naopak, pri výrobe veľkých sérií obvodov má zmysel venovať dostatočný čas vývoju testu, ktorý tak bude optimálnejší a efektívnejší, a vyššia cena jeho prípravy bude v porovnaní s výslednou úsporou pri samotnom testovaní zanedbateľná.

Zložitosť testovania IO výrazne narastá s vývojom nových technológií, zvyšujúcou sa komplexnosťou obvodov (zmiešané obvody a technológie) a narastajúcou hustotou integrácie. Nové technológie so sebou prinášajú nové fyzikálne defekty a mechanizmy zlyhania, ktorým musí byť venovaná zvýšená pozornosť, nakoľko môžu výrazne ovplyvniť výťažnosť procesu a výslednú kvalitu obvodov. S postupným znižovaním minimálneho rozmeru technológií sa zvyšuje aj zložitosť obvodov integrovaných na jednom čipe. Počet vstupno-výstupných vývodov obvodu však nenarastá lineárne s jeho vnútornou zložitnosťou, a tým sa zväčšuje počet interných uzlov obvodu pripadajúcich na jeden pin, čím sa výrazne zhoršuje testovateľnosť obvodu. Práve toto viedlo k postupnému zavádzaniu rôznych testovacích štruktúr (zvyšujúcich testovateľnosť) priamo na čip [2, 3]. Takýmto spôsobom sa zlepšil prístup k interným uzlom testovaného obvodu, zrýchlil a skvalitnil sa test. Ďalšou nespornou výhodou takéhoto riešenia je aj možnosť následného použitia takýchto testovacích štruktúr počas celej životnosti obvodu na monitorovanie jeho bezporuchovosti.

Tradične sa analógové a zmiešané integrované obvody testovali overovaním špecifikácií, aby spĺňali požiadavky zákazníka. Takáto metóda generovania testu je pomerne jednoduchá, so zvyšovaním zložitosti obvodov sa však špecifikácie stávajú rozsiahle, a tým pádom táto metóda výrazne stráca na efektivite. Jedným zo spôsobov ako skrátiť generovanie testu takýmto spôsobom je identifikácia možných závislostí medzi jednotlivými parametrami uvádzanými v špecifikácii, a tým pádom sa pre účel generovania testu môže špecifikácia zjednodušiť.

Ďalšia metóda generovania testu je tzv. štruktúrna. Jednotlivé testy generované touto metódou sa zameriavajú na určité stavebné bloky obvodu a snažia sa otestovať ich funkčnosť sledovaním istého zvoleného parametra (väčšinou súvisiaceho so špecifikáciou obvodu). Takýto spôsob generovania testu je väčšinou zložitejší ako v predchádzajúcom prípade, výsledný test je však spravidla jednoduchší.

Poslednú skupinu testov tvoria alternatívne testovacie metódy. Tieto metódy sa taktiež označujú ako parametrické, nakoľko sledovaná veličina, na základe ktorej sa určuje poruchovosť resp. bezporuchovosť obvodu, je parameter nezávislý od špecifikácie obvodu [4, 5]. Ide napríklad o meranie prúdového odberu z napájacieho zdroja v ustálenom (I_{DDQ}) a prechodovom (I_{DDT}) stave, meranie teplotných výkyvov na čipe, meranie oscilačnej frekvencie a pod. Tieto metódy sa zatiaľ v praxi veľmi nerozšírili (výnimku tvorí I_{DDQ} pre testovanie číslicových obvodov), nakoľko tu chýba priame prepojenie sledovaného parametra na špecifikáciu obvodu. Napriek tomu sa dostávajú stále viac do popredia, keďže zložitosť obvodov narastá a testovanie klasickými metódami sa stáva čoraz viac náročné, niekedy až nerealizovateľné. Stále väčšia zložitosť testov, a teda aj ich vyššia cena, núti inžinierov v testovacom procese k vývoju nových metód testovania a aspoň čiastočnej automatizácii procesu generovania samotného testu.

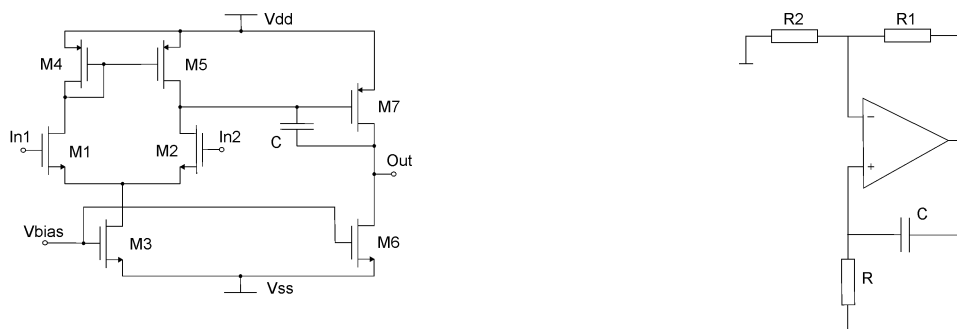
Tento príspevok bude ďalej členený nasledovne: v druhej kapitole je opísaný experiment na jednoduchom analógovom obvode a prezentované dosiahnuté výsledky. Tretia kapitola obsahuje experiment testovania zložitejšieho zmiešaného IO. Vo štvrtej kapitole sú zhrnuté poznatky získané z týchto experimentov, a záverom je naznačený smer ďalšieho smerovania našej práce.

2 Oscilačná metóda testovania

Ako bolo vyššie spomenuté, parametrické metódy testovania integrovaných obvodov nepatria zatiaľ medzi široko využívané v priemysle, ale nakoľko testovanie sa stáva stále zložitejším, tieto metódy získavajú stále viac pozornosti. Keďže sa v našej práci zameriavame hlavne na testovanie analógových resp. zmiešaných integrovaných obvodov, rozhodli sme sa overiť účinnosť jednej z alternatívnych metód testovania takýchto obvodov, konkrétne oscilačnej metódy testovania.

Princíp tejto metódy spočíva v pretransformovaní testovaného IO na oscilátor pomocou zavedenia vhodnej spätnej väzby, ktorá obvod rozkmitá [6]. Sledovaným parametrom je potom frekvencia resp. amplitúda oscilácií vybraného napätia alebo prúdu v obvode. Predpokladom pritom je, že ak sa v testovanom obvode nachádza porucha, oscilačná frekvencia alebo amplitúda oscilácií sledovanej veličiny sa pod vplyvom jej prítomnosti bude líšiť od hodnôt pre bezporuchový obvod.

V našom experimente sme ako testovaný obvod použili jednoduchý dvojestupňový operačný zosilňovač navrhnutý v $0,35\ \mu\text{m}$ CMOS technológii, ktorý sme zapojili ako oscilátor pomocou spätnej väzby tak, ako je to zobrazené na obr. 1. Hodnoty prvkov v spätnej väzbe, určené z podmienky pre stabilitu obvodu, sú nasledovne: $R_1=5\ \text{k}\Omega$, $R_2=100\ \text{k}\Omega$, $R=20\ \text{k}\Omega$ a $C=20\ \text{pF}$. Oscilačná frekvencia napájacieho prúdu bezporuchového obvodu bola $1,524\ \text{MHz}$ so zaznamenanou odchýlkou $\pm 2\%$ vo frekvencii a $\pm 15\%$ v amplitúde. Tieto výchyľky sú spôsobené rozptylom parametrov výrobného procesu a dané hodnoty sme získali tzv. analýzou okrajových prípadov (Corner analysis), ktorá simuluje práve výchyľky výrobného procesu v rámci povolenej tolerancie [7].



a) Použitý operačný zosilňovač

b) Testovaný obvod zapojený ako oscilátor

Obrázok 1. Oscilačná metóda testovania

Poruchy, ktoré sme uvažovali v tomto obvode boli typu premostenia a prerušenia vodivých ciest. Taktiež sme uvažovali špecifické prípady týchto porúch, keď sa premostenie nachádza v hradlovom oxide – *Gate-Oxide Short* (GOS), resp. keď sa prerušenie vodivej cesty nachádza na prívodnom vodiči k hradlu tranzistora – *Floating Gate* (FG). Poruchy typu GOS a FG sme uvažovali pre hradlo každého tranzistora testovaného obvodu, kým poruchu premostenia a prerušenia sme uvažovali na pätnástich, resp. na štyroch rôznych lokalitách.

Modely porúch použité v experimente boli nasledovné:

- pre poruchu typu premostenia bol použitý odpor s hodnotou $10\ \text{k}\Omega$, $100\ \text{k}\Omega$, resp. $1\ \text{M}\Omega$,
- pre poruchu typu prerušenia bol použitý odpor s hodnotou $100\ \text{k}\Omega$, resp. $1\ \text{M}\Omega$,
- pre poruchu typu GOS bol použitý model publikovaný v [8],
- pre poruchu typu FG bol použitý model publikovaný v [9].

Sledovaným parametrom bola frekvencia resp. amplitúda oscilácií napájacieho prúdu. Rozhodovacie úrovne boli zvolené s ohľadom na výsledky „corner“ analýzy bezporuchového obvodu, teda odchýľky

od nominálnej hodnoty väčšie ako $\pm 2\%$ vo frekvencii alebo $\pm 15\%$ v amplitúde boli vyhodnotené ako odozvy poruchového obvodu a daná porucha bola považovaná za detegovanú.

Tento experiment potvrdil náš predpoklad, že všetky uvažované poruchy typu GOS a FG viedli k strate oscilácií, teda k detekcii daných porúch. V prípade poruchy typu prerušenia s hodnotou $100\text{ k}\Omega$ sa vyskytla jedna, ktorú sme touto metódou neboli schopní detegovať. Pre hodnotu odporu prerušenia $1\text{ M}\Omega$ boli odhalené všetky štyri poruchy. Výsledky simulácií pre najčastejšie uvažovanú poruchu typu premostenia sú uvedené v tab. 1.

Tabuľka 1. Pokrytie porúch premostenia

Porucha	Poloha poruchy	Hodnota premostenia [Ω]	Detekcia
Porucha 1	M1GD	ľubovoľná	áno
Porucha 2	M1GS	1M	nie
		10k, 100k	áno
Porucha 3	M1DS	ľubovoľná	áno
Porucha 4	M2GD	ľubovoľná	áno
Porucha 5	M2GS	1M	nie
		10k, 100k	áno
Porucha 6	M2DS	ľubovoľná	áno
Porucha 7	M4DS	1M	nie
		10k, 100k	áno
Porucha 8	M5GD	ľubovoľná	áno
Porucha 9	M5DS	ľubovoľná	áno
Porucha 10	M3DS	ľubovoľná	áno
Porucha 11	M3GD	ľubovoľná	áno
Porucha 12	M7GD	ľubovoľná	áno
Porucha 13	M7DS	1M, 100k	nie
		10k	áno
Porucha 14	M6GD	ľubovoľná	áno
Porucha 15	M6DS	ľubovoľná	áno

Získané výsledky potvrdzujú veľmi vysoké pokrytie porúch 92 %, čo je vynikajúca hodnota ak vezmeme do úvahy, že boli uvažované aj ťažko detegovateľné poruchy, ako premostenie s hodnotou odporu $100\text{ k}\Omega$ resp. $1\text{ M}\Omega$, ktoré by štandardnými testami väčšinou neboli pokryté.

Nakoľko sa oscilačná metóda testovania ukázala byť veľmi efektívna, rozhodli sme sa aplikovať ju na komplexnejší obvod. Pre tento experiment sme ako testovaný obvod použili dolnopriepustný filter piateho rádu so spínanými kondenzátormi navrhnutý v $0,35\text{ }\mu\text{m}$ CMOS technológii [10]. Pre nedostatok miesta tu však nebudeme tento experiment rozpisovať, podrobný popis ako aj výsledky je možné nájsť v [11].

3 Porovnanie účinností testov

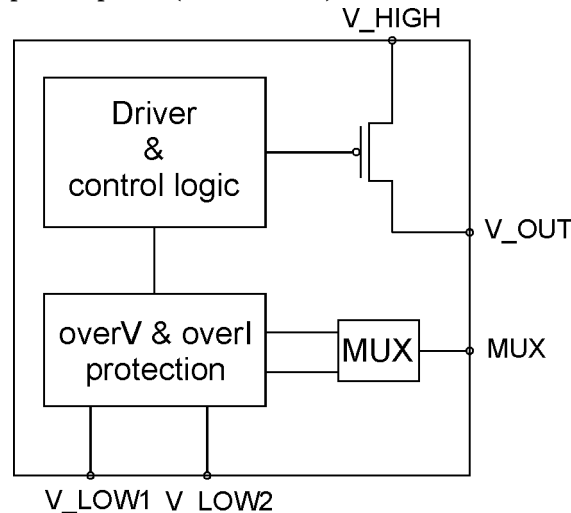
Ako je ukázané v predchádzajúcej kapitole, parametrické metódy môžu byť veľmi účinným nástrojom pokrytia širokej škály rôznych porúch v analógových/zmiešaných obvodoch. Aj keď analógové a zmiešané obvody nemusia nevyhnutne predstavovať majoritnú časť obvodového systému, cena ich testu môže značne ovplyvniť výslednú výrobnú cenu IO. Bežne sa v testovacom procese obvodu kombinujú rôzne druhy testov, napr. štruktúrny test je doplnený parametrickým, na zabezpečenie postačujúceho pokrytia porúch resp. istej redundancie, ktorá je dôležitá z hľadiska kvality a spoľahlivosti. Zvyčajne až do určitého bodu platí, že čím viac testov je aplikovaných, tým viac dôležitých informácií sme schopní o danom obvode získať. Na zostavenie efektívneho testovacieho procesu je potrebné vedieť, ktoré poruchy je daný test schopný detegovať a nakoľko robustný a časovo náročný daný test bude.

Na získanie týchto údajov a poznatkov je nevyhnutné vypracovať štúdiu založenú na poruchových simuláciách. Zvyčajne je však takýto prístup z finančného hľadiska nerealizovateľný, nakoľko poruchové simulácie sú časovo náročné. Väčšinou sa testovací proces zostavuje na základe skúseností dizajnérov a test inžinierov, teda bez vykonaných poruchových simulácií. Takýmto postupom sa však výsledné pokrytie porúch dá žiaľ iba odhadnúť.

Tieto poznatky nás priviedli k myšlienke porovnať rôzne testovacie prístupy a pomocou poruchových simulácií zistiť skutočné pokrytie porúch jednotlivých zvolených testov. Namiesto štandardných obvodov so zložitou niekoľko desiatok uzlov [12] sme sa v tomto experimente ako testovaný obvod rozhodli použiť zložitejší obvod s približne 1300 internými uzlami. Naším cieľom bolo vyhodnotiť pokrytie porúch, efektívnosť a výhody istých testov, vybraných zo skupiny funkčných, štruktúrnych a parametrických testovacích prístupov.

3.1 Testovaný obvod

Ako zmiešaný testovaný obvod sme použili spínaný zdroj navrhnutý v 0,35 μm CMOS technológii. Blokovaná schéma obvodu použitého v tomto experimente je zobrazená na obr. 2. Nakoľko tento obvod predstavuje len malú časť (asi 5%) zložitejšieho integrovaného systému, nebolo možné ho pre účely nášho experimentu úplne izolovať od zvyšku systému. Prístup k testovanému obvodu bol zabezpečený prostredníctvom piatich pinov (okrem zeme), vid' na obr. 2.



Obrázok 2. Blokovaná schéma použitého zmiešaného IO

3.2 Zoznam porúch

Pri zostavovaní zoznamu možných porúch pre poruchové simulácie sme vychádzali z topografie obvodu. Zamerali sme sa na poruchy typu premostenia na jednotlivých metalizačných vrstvách, nakoľko tento typ poruchy je najbežnejší pre danú technológiu. Je to spôsobené faktom, že metalizácia je založená na hliníku. Poruchy premostenia môžu byť rozdelené do viacerých skupín na základe miesta vzniku: napr. medzi dvoma paralelnými vodivými linkami, na rohoch dvoch vodivých liniek, vo vodivých prechodoch medzi jednotlivými metalizačnými úrovňami, atď. V našom experimente sme uvažovali iba premostenia medzi paralelnými vodivými linkami.

Za účelom extrakcie zoznamu porúch sa do topografie obvodu pridali virtuálne parazitné prvky reprezentujúce možné poruchy o dĺžke zodpovedajúcej veľkosti uvažovaného defektu. Druhý rozmer parazitného prvku bol daný vzdialenosťou, na ktorej vyšetované vodivé linky ležali paralelne vedľa

seba. Následne sme sledovali plochu prekrytia parazitného prvku s metalizáciou. Veľkosť plochy prekrytia tvorila vlastne akúsi váhu, na základe ktorej boli poruchy zoradené do výsledného zoznamu, a to od najpravdepodobnejšej (s najväčšou plochou prekrytia) až po najmenej pravdepodobnú. Do úvahy sme brali defekty dvoch dĺžok: 0,8 μm a 1,6 μm , pričom spodná hranica pre šírku defektu bola zvolená na 0,7 μm .

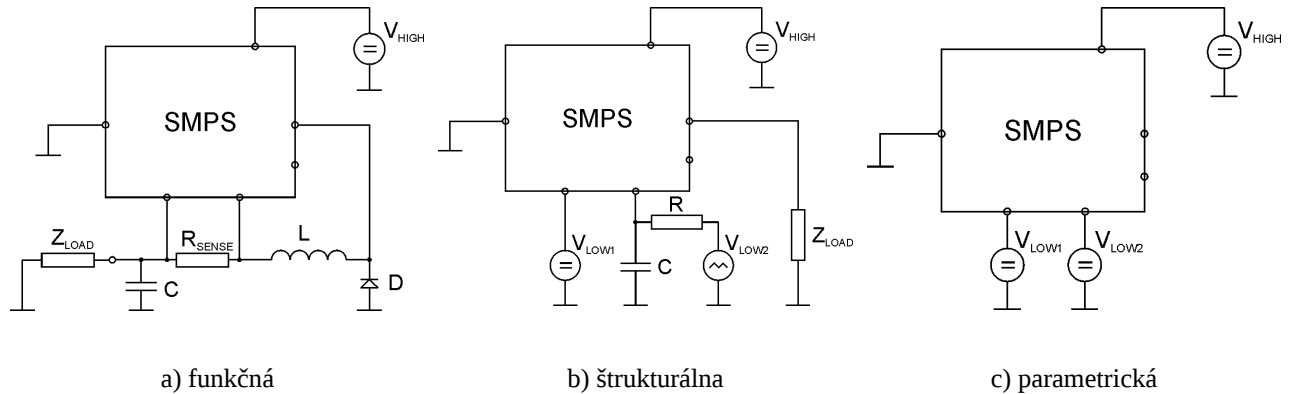
3.3 Uvažované testy

Prvoradým cieľom tohto experimentu bolo vyhodnotenie pokrytia porúch, efektivity a ponúkaných výhod určitých vybraných testovacích metód. Nakoľko je k dispozícii široká škála testov, v našom experimente sme sa rozhodli zahrnúť iba po jednom zástupcovi z každej skupiny testov (funkčný, štruktúrálny a parametrický).

Funkčný test bol založený na vyhodnocovaní funkcie obvodu pri odporúčanom zapojení obvodu v bežnej prevádzke podľa jeho špecifikácie. Vyhodnocovaným parametrom bola stredná hodnota výstupného napätia nameraná pre dve rôzne hodnoty záťaže.

Štruktúrálny test sa skladal zo súboru meraní, ktoré sa zameriavali na určité stavebné bloky obvodu. U týchto blokov boli vyhodnocované vybrané vlastnosti. Merali sme napríklad odpor kanála výkonového tranzistora v zopnutom stave, či bod preklápania nadprúdovej a prepäťovej ochrany.

Ako zástupcu skupiny parametrických testovacích metód sme sa rozhodli použiť IDDQ test. Tento test reprezentuje jednoduché meranie pokojového odberu prúdu z napájacieho zdroja. Keďže testovaný obvod používa tri rôzne napájacie napätia, cieľom bolo oddelene zmerať statickú spotrebu obvodu pre každé z nich. Jedno z napájacích napätí však bolo spoločné pre testovanú časť obvodu ako aj pre zvyšok čipu, a preto nebolo možné testovaný obvod nijakým spôsobom izolovať. Keďže takto namerané hodnoty napájacieho prúdu by boli nepoužiteľné, nakoľko spotreba ostatných častí čipu bola niekoľkonásobne vyššia než spotreba testovaného obvodu, rozhodli sme sa tento prúd nevyhodnocovať. Zapojenia obvodu pre jednotlivé typy testov sú zobrazené na obr. 3.



Obrázok 3. Zapojenia obvodu pre jednotlivé testovacie metódy

3.4 Poruchové simulácie

Vyššie spomínané typy testov boli aplikované na testovaný obvod pre štyri rôzne hodnoty napájacieho napätia v rozsahu od 12 V až do 72 V. Rozhodovacie úrovne medzi bezporuchovým a poruchovým obvodom boli pre funkčný a štruktúrálny test určené zo špecifikácie obvodu. Pre parametrický test boli tieto úrovne určené „corner analýzou“ bezporuchového obvodu, kde bol vzatý do úvahy veľmi dôležitý faktor a to rozptyl procesu. Pre poruchové simulácie bolo použité návrhové prostredie CADENCE a simulátor SpectreS.

Zvolený model poruchy vychádzal zo štatistických dát získaných z laboratória analýzy porúch v nemenovanej polovodičovej firme. Z týchto dát vyplynulo, že v prípade výskytu poruchy premostenia bola táto zväčša nízko-ohmická s hodnotou odporu premostenia v rozsahu od 100 Ω do 500 Ω. Na základe týchto poznatkov sme sa rozhodli modelovať premostenie pomocou odporu s hodnotou 1 kΩ.

3.5 Vyhodnotenie výsledkov

Prvým ukazovateľom úspešnosti testu, ktorý sme vyhodnocovali bolo pokrytie porúch, nakoľko ide o jeden z najdôležitejších parametrov charakterizujúcich účinnosť daného testu. Je možné ho vyjadriť ako pomer detegovaných porúch ku všetkým uvažovaným poruchám v obvode:

$$PP = \frac{DP}{DP + NP} \times 100, \quad (1)$$

kde PP predstavuje pokrytie porúch v percentách, DP reprezentuje skupinu detegovaných porúch a NP reprezentuje skupinu nedetegovaných porúch.

Ďalším dôležitým parametrom, ktorý významným spôsobom charakterizuje určitý test je čas potrebný na jeho vykonanie. Čím rýchlejšie sa dá test vykonať, tým je daný test lacnejší (menej času na testovacom zariadení). Na porovnanie časovej náročnosti nami uvažovaných testov sme sa rozhodli použiť relatívnu mierku, pričom referenčná hodnota bola 1 časová jednotka (1 č.j.) a zodpovedala času potrebnému na vykonanie najrýchlejšieho testu. Tento parameter však nezohľadňuje pokrytie porúch, ktoré daný test dosahuje. A práve z tohto dôvodu sme sa rozhodli vyhodnocovať taký parameter, ktorý berie do úvahy nielen čas potrebný na vykonanie testu, ale odráža aj efektívnosť daného testu v zmysle dosiahnutého pokrytia porúch. Výsledný parameter, ktorý sme nazvali detegcie za časovú jednotku (DCJ), je daný nasledujúcim vzťahom:

$$DCJ = \frac{PP}{TC}, \quad (2)$$

kde PP reprezentuje pokrytie porúch a TC je čas potrebný na vykonanie testu vyjadrený v časových jednotkách. Pri vyhodnocovaní sme aj v tomto prípade výsledné hodnoty DJC normalizovali podľa najmenšej hodnoty.

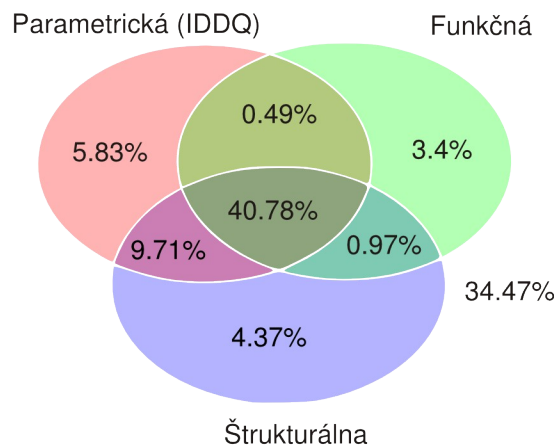
Pre každý testovací prístup sme vyhodnocovali jednonásobné aj viacnásobné detekcie porúch. Jednonásobná detekcia (JD) je detekcia poruchy iba daným testom a žiadnym iným z uvažovaných. Tento parameter vlastne popisuje koľko porúch je schopný daný test detegovať navyše oproti uvažovaným.

Viacnásobná detekcia (VD) je detekcia tej istej poruchy viacerými testami. Tento parameter je dôležitý z hľadiska kvality testu, nakoľko ak je porucha detegovateľná viacerými testami, znižuje sa pravdepodobnosť zlyhania testovacieho procesu v zmysle nepokrytia danej poruchy.

Výsledky simulácií pre jednotlivé testovacie prístupy sú zhrnuté v tab. 2 a na obr. 4 kde je zobrazený Vennov diagram pokrytia porúch pre sledované testy.

Tabuľka 2. Výsledky simulácií pre jednotlivé metódy

	PP [%]	VD [%]	JD [%]	Čas [č.j.]	DCJ_rel
Funkčná	45.63	0	3.4	400	0.002
Štruktúrálna	55.83	28.15	4.37	40	0.025
Parametrická	56.8	28.15	5.83	1	1



Obrázok 4. Pokrytie porúch jednotlivými metódami

Z uvedenej analýzy a získaných výsledkov je zrejmé, že najvyššie pokrytie porúch dosahuje parametrický test, kým funkčný test dosahuje pokrytie asi o šestinú nižšie. Navyše, parametrický test dosahuje aj najvyšší počet jednonásobných detekcií porúch. Štrukturálny test dosahuje pokrytie porúch iba o jedno percento nižšie ako parametrický test, rovnaký počet viacnásobných detekcií a takmer rovnaký počet jednonásobných detekcií. Ak však zoberieme do úvahy čas potrebný na vykonanie daného testu, štrukturálny test v porovnaní s parametrickým stráca na efektívite, nakoľko pri rovnakom pokrytí porúch ako ponúka parametrický test, je čas potrebný na vykonanie testu až 40-násobne dlhší.

Presnosť a opakovateľnosť testu taktiež definujú jeho kvality. Tieto parametre však neboli v tomto experimente vyhodnocované, nakoľko sa nedajú určiť iba zo simulácií, keďže tieto parametre úzko súvisia s robustnosťou danej metódy a zložitnosťou merania.

Je teda možné konštatovať, že hlavne parametrické metódy môžu byť veľmi efektívne pri detekcii rôznych typov porúch v analógových/zmiešaných IO strednej zložitosti.

4 Zhrnutie výsledkov

V predchádzajúcich dvoch kapitolách sú opísané dva experimenty, ktoré mali za cieľ vyšetriť resp. porovnať účinnosť a efektívnosť rôznych metód testovania analógových/zmiešaných IO. Oba experimenty boli založené na simuláciách v prostredí CADENCE použitím simulátora spectreS.

Prvý experiment sa zaoberal aplikovaním oscilačnej metódy testovania na jednoduchý analógový obvod, ktorým bol v našom prípade dvojtupňový operačný zosilňovač. Táto metóda sa ukázala byť efektívna v odhaľovaní porúch pre uvažovaný obvod. Pre testovanie analógového obvodu reálnej zložitosti touto metódou však treba vhodne upraviť štruktúru obvodu už vo fáze návrhu, teda treba aplikovať návrh pre testovateľnosť.

V druhom experimente bola ďalšia parametrická metóda testovania (I_{DDQ} test) porovnaná s vybranými funkčnými a štrukturálnymi metódami. Ako je preukázané z výsledkov experimentu, parametrický test sa javí byť pre tento obvod najefektívnejším z časového hľadiska, pričom dosahoval aj vyššie pokrytie porúch ako ostatné uvažované testy.

Oba vykonané experimenty teda potvrdzujú, že parametrické metódy testovania sú aplikovateľné v testovacom procese analógových/zmiešaných obvodov a ponúkajú efektívnu a jednoduchú alternatívu k existujúcim metódam. Tak, ako je dôležitý výber správnej testovacej metódy, je veľmi dôležitý aj

výber vhodnej sady testovacích vektorov, ktoré zaručia aktivovanie čo najväčšieho počtu možných porúch a tým pádom zabezpečia aj ich následné pokrytie (pri použití vhodnej testovacej metódy). Problematika automatizovaného generovania testovacích vektorov pre analógové a zmiešané obvody zatiaľ nebola dostatočne rozpracovaná, a dodnes sa testovacie vektory pre tieto obvody generujú ručne, čím sa predlžuje čas prípravy samotného testu. Na základe týchto faktov sme sa rozhodli v ďalšej našej práci venovať sa hlavne problematike určenia optimálnej sady testovacích vektorov pre testovanie analógových a zmiešaných IO použitím rôznych prístupov založených napr. na počítaní impedancií, prenosových funkcií a citlivostí. Použitím týchto prístupov by sme pre daný zoznam porúch chceli určiť optimálnu množinu testovacích vektorov.

Referencie

- [1] International Technology Roadmap for Semiconductors, available online: URL: <http://public.itrs.net>.
- [2] L. Carro, E. Cota, M. Lubaszewski, Y. Bertrand, F. Azais, M. Renovell, „TI-BIST: a temperature independent analog BIST for switched-capacitor filters”, Proceedings of the Ninth Asian Test Symposium ATS 2000, pp. 78-83, 2000.
- [3] A.C. Nacul, L. Carro, D. Janner, M. Lubaszewski, „A BIST procedure for analog mixers in software radio”, 14th Symposium on Integrated Circuits and Systems Design, pp 103-108, 2001.
- [4] A. Chehab, A. Kayssi, A. Ghandour, „Transient Current Testing of Gate-Oxide Shorts in CMOS”, 2nd International Design and Test Workshop, pp. 77-81, 2007.
- [5] M. Nie, H. Xu, J. Zhang, „A new method for IDDT test of CMOS circuits”, International Conference on Communications, Circuits and Systems ICCAS 2008, pp. 1200-1203, 2008.
- [6] G. H. Sánchez, D. V. G. De la Vega, A. R. Rueda, J. L. H. Díaz, „Oscillation Based Test in Mixed-Signal Circuits“, Springer, ISBN: 978-1-4020-5314-6, 452 pages, 2006.
- [7] J. Brenkuš, V. Stopjaková, „Catastrophic Faults Detection in Operational Amplifier by the Supply Current Oscillation Test Strategy“, Proceedings of the MIDEM'07 Conference, pp. 195-198, 2007.
- [8] M. Syrzycki, „Modeling of Gate Oxide Shorts in MOS Transistors“, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.8, No.3, pp. 193-202, 1989.
- [9] V. H. Champac, A. Rubio, J. Figueras, „Electrical model of the floating gate defect in CMOS IC's: implications on IDDQ testing“, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.13, No.3, pp.359-369, 1994.
- [10] M. Daříček, „Návrh dolnopriepustného aktívneho filtra vyššieho rádu technikou spínaných kondenzátorov“, diplomová práca, FEI STU, 2006.
- [11] P. Hobot, „Aplikácia oscilačnej metódy pre testovanie analógových integrovaných obvodov“, diplomová práca, FEI STU, 2009.
- [12] B. Kaminska, K. Arabi, I. Bell, P. Goteti, J.L. Huertas, B. Kim, A. Rueda, M. Soma, „Analog and mixed-signal benchmark circuits-first release”. Proceedings of the International Test Conference, pp. 183-190, 1997.